

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327695

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 9/18				
G 0 6 F 7/58	A	9188-5B		
G 0 9 C 1/00		9194-5L		
H 0 4 N 1/44		2109-5C		
		7117-5K		
			H 0 4 L 9/ 02	B
			審査請求 有	請求項の数4(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-135304

(22)出願日 平成4年(1992)5月27日

(71)出願人 391004104

株式会社毎日放送

大阪府大阪市北区茶屋町17番1号

(72)発明者 齋藤 友宏

大阪市北区茶屋町17番1号 株式会社毎日放送内

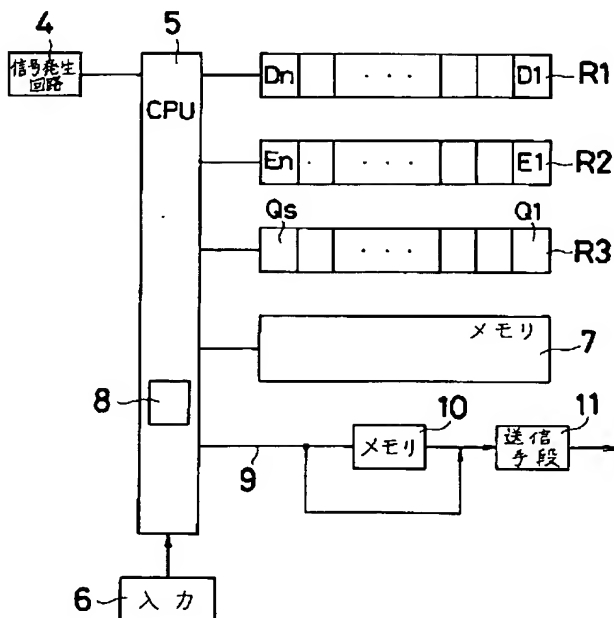
(74)代理人 弁理士 西教 圭一郎 (外3名)

(54)【発明の名称】 スランブル方法および装置

(57)【要約】

【目的】 テレビジョン・ファクシミリ多重放送のファクシミリ信号のスランブルを、マイクロコンピュータのソフトウェアなどによって実現すること。

【構成】 複数nのセルを有する第1レジスタR1に初期値を設定し、その内容を第2レジスタR2に転送し第3レジスタR3をクリアした後、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ、下位方向にシフトし、最終出力Df kと、1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、 $k=1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に第1レジスタR1を1ビット分だけ下位方向にシフトするとともに第3レジスタR3の最下位ビットを第1レジスタR1の最上位ビットに転送し、このような演算を予め定める回数Mだけ繰返した後、送信すべき信号の各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。



## 【特許請求の範囲】

【請求項1】 複数 $n$ のセルを有する第1レジスタR1に初期値を設定する第1ステップと、

第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに複数のセルを有する第3レジスタR3をクリアする第2ステップと、

第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ を、第3レジスタR3に加え、この演算を、 $k=1$ から予め定める数 $i$ まで繰返す第3ステップと、

第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、

第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、

第2ステップ～第5ステップを予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法。

【請求項2】 複数 $n$ のセルを有する第1レジスタR1に初期値を設定する第1ステップと、

第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに1ビット分のセルを有する第3レジスタR3をクリアする第2ステップと、

第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、 $k=1$ から予め定める数 $i$ まで繰返す第3ステップと、

第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、

第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3のストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、

第2ステップ～第5ステップを予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法。

【請求項3】 複数 $n$ のセルを有する第1レジスタR1

と、

第1レジスタR1と同数のセルを有する第2レジスタR2と、

複数のセルを有する第3レジスタR3と、メモリと、

処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ を第3レジスタR3のストア内容に加え、この演算を、 $k=1$ から予め定める数 $i$ まで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【請求項4】 複数 $n$ のセルを有する第1レジスタR1と、

第1レジスタR1と同数のセルを有する第2レジスタR2と、

1ビットのセルを有する第3レジスタR3と、メモリと、

処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、 $k=1$ から予め定める数 $i$ まで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3のストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、たとえばテレビジョン・ファクシミリ多重放送においてファクシミリ信号のス

## 3

クランブルを行うためなど擬似乱数符号重畳方式に対して好適に実施することができるスクランブル方法および装置に関する。

## 【0002】

【従来の技術】従来技術による擬似乱数符号重畳方式（PN加算方式と呼ばれている）のスクランブル方法の一例は、図3に示されている。この先行技術は、合計 $n$ 個のセル $D1 \sim Dn$ を有する線型シフトレジスタによって生成されたPN信号（擬似乱数符号系列）を排他的論理和演算する。システムによって予め定められたビット数のフレームと呼ばれるブロック毎に行われる初期化に際しては、シフトレジスタのセル $D1 \sim Dn$ に、論理

「1」または論理「0」の論理値 $P1 \sim Pn$ を設定し、外部から加えられるクロック信号に同期し、各セル $D1 \sim Dn$ の論理値が出力され、図3の左から右に隣接するセルへ入力される。最も右側のセル $D1$ の出力と第 $f1$ 番目のセル $Df1$ の出力とが排他的論理和ゲート $Gf1$ に与えられ、排他的論理和ゲート $Gf2$ には前段の排他的論理和ゲート $Gf1$ の出力と第 $f2$ 番目のセル $Df2$ の出力とが与えられ、最終段の排他的論理和ゲート $Gfi$ の出力は最も左側のセル $Dn$ に入力される。最も右側のセル $D1$ の出力と、PN加算されるべき信号が、1クロック信号毎に1ビット分ずつライン1を介して排他的論理和ゲート $G0$ に入力される。

【0003】こうして送信された信号は、図4に示されるように受信回路2によって受信され、図3で示される構成と同様なセル $D1 \sim Dn$ を有するシフトレジスタと排他的論理和ゲート $Gf1 \sim Gfi$ とを含む回路の出力とともに排他的論理和ゲート $G01$ に与えられ、ライン3からは、元の信号、すなわち図3のライン1に与えられた信号が得られる。図3における送信側の初期値設定のためのフレーム同期およびクロック信号と、図4における受信側での初期値設定のためのフレーム同期およびクロック信号とは、同期される。

【0004】このような図3および図4に示される構成は、いわゆるハードウェアによって実現されるものであり、したがってこのようなスクランブル動作を、もっと簡単な方法で実現することが望まれる。

## 【0005】

【発明が解決しようとする課題】本発明の目的は、任意のハードウェア構成に対して、ソフトウェアの対応のみで簡単にスクランブルを実現することができる方法および装置を提供することである。

## 【0006】

【課題を解決するための手段】本発明は、複数 $n$ のセルを有する第1レジスタ $R1$ に初期値を設定する第1ステップと、第1レジスタ $R1$ の内容を保持したままで、第1レジスタ $R1$ と同数のセルを有する第2レジスタ $R2$ に、第1レジスタ $R1$ の内容を転送し、さらに複数のセルを有する第3レジスタ $R3$ をクリアする第2ステップ

## 4

と、第2レジスタ $R2$ の最下位ビットを、第3レジスタ $R3$ に加え、第2レジスタ $R2$ のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Dfk$ を、第3レジスタ $R3$ に加え、この演算を、 $k=1$ から予め定める数 $i$ まで繰返す第3ステップと、第1レジスタ $R1$ の最下位ビットを、メモリに順にストアする第4ステップと、第1レジスタ $R1$ を1ビット分だけ下位方向にシフトし、かつ第3レジスタ $R3$ の最下位ビットのストア内容を、第1レジスタ $R1$ の最上位ビットに転送する第5ステップとを含み、第2ステップ～第5ステップを予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法である。

【0007】また本発明は、複数 $n$ のセルを有する第1レジスタ $R1$ に初期値を設定する第1ステップと、第1レジスタ $R1$ の内容を保持したままで、第1レジスタ $R1$ と同数のセルを有する第2レジスタ $R2$ に、第1レジスタ $R1$ の内容を転送し、さらに1ビット分のセルを有する第3レジスタ $R3$ をクリアする第2ステップと、第2レジスタ $R2$ の最下位ビットを、第3レジスタ $R3$ に加え、第2レジスタ $R2$ のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Dfk$ と、第3レジスタ $R3$ のストア内容との排他的論理和演算を行い第3レジスタ $R3$ にストアし、この演算を、 $k=1$ から予め定める数 $i$ まで繰返す第3ステップと、第1レジスタ $R1$ の最下位ビットを、メモリに順にストアする第4ステップと、第1レジスタ $R1$ を1ビット分だけ下位方向にシフトし、かつ第3レジスタ $R3$ のストア内容を、第1レジスタ $R1$ の最上位ビットに転送する第5ステップとを含み、第2ステップ～第5ステップを予め定める回数 $M$ だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法である。

【0008】また本発明は、複数 $n$ のセルを有する第1レジスタ $R1$ と、第1レジスタ $R1$ と同数のセルを有する第2レジスタ $R2$ と、複数のセルを有する第3レジスタ $R3$ と、メモリと、処理回路であって、第1レジスタ $R1$ に初期値を設定した後、第3レジスタ $R3$ をクリアし、第1レジスタ $R1$ の内容を保持したままで、その第1レジスタ $R1$ の内容を第2レジスタ $R2$ に転送し、第2レジスタ $R2$ の最下位ビットを第3レジスタ $R3$ に加え、第2レジスタ $R2$ のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Dfk$ を第3レジスタ $R3$ のストア内容に加え、この演算を、 $k=1$ から予め定める数 $i$ まで繰返し、第1レジスタ $R1$ の最下位ビットを、メモリに

5

順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0009】また本発明は、複数 $n$ のセルを有する第1レジスタR1と、第1レジスタR1と同数のセルを有する第2レジスタR2と、1ビットのセルを有する第3レジスタR3と、メモリと、処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ下位方向にシフトし、その最終出力 $Df(k)$ と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、 $k=1$ から予め定める数 $i$ まで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3のストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0010】

【作用】本発明に従えば、第1レジスタR1は複数 $n$ のセル $D1 \sim Dn$ を有し、第2レジスタR2は同数 $n$ のセル $E1 \sim En$ を有し、第3レジスタR3は少なくとも1つのセル $Q1 \sim Qs$ を有し、さらにメモリが備えられ、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を第2レジスタR2に複写し、その第2レジスタR2の最下位ビットをR3に加え、第2レジスタR2のストア内容を予め定める数 $(f(k+1) - f(k))$ のビット分だけ、下位方向にシフトし、その最終出力 $Df(k)$ を複数セルの第3レジスタR3に加算し、あるいはまた1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、このような演算を、 $k=1$ から予め定める数 $i$ まで繰返し、この第1レジスタR1の最下位ビットをメモリに順にストアしてゆき、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ複数ビットを有する第3レジスタR3の最下位ビットのストア内容、または1ビット分のセルを有する第3レジスタR3のストア内容を、第1レジスタR

6

1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。PN加算方式によるスクランブルでは、フレームと呼ばれるブロック毎に初期化が行われる（同じPN信号列が用いられる）前記メモリのストア内容は1つのフレームのPN加算信号列に相当し、一度始めに計算しておけば、フレーム毎に計算し直す必要がないので何回でも使うことができる。このような演算は、コンピュータのプログラム演算処理によって実現され、したがって前述の図3および図4に示される具体的な電氣的構成を必要とせず、したがっていかなるハードウェア構成に対してもソフトウェアの対応のみで適応することができるので、実現が容易である。

【0011】

【実施例】図1は、本発明の一実施例のブロック図である。マイクロコンピュータなどによって実現される処理回路5には、信号発生回路4からは、テレビジョン・ファクシミリ多重放送において送信すべき放送フォーマットの信号が出力される。処理回路5には、フロッピディスクやキーボードなどのプログラム入力手段6が接続される。また処理回路5には、第1レジスタR1と第2レジスタR2と第3レジスタR3とが接続され、さらにメモリ7が備えられる。このような処理回路5は、図3に示される電気回路と同様なスクランブル動作を行う。

【0012】図2は、図1に示される処理回路5の動作を説明するためのフローチャートである。図1および図2を併せて参照して、第1レジスタR1は複数 $n$ のセル $D1 \sim Dn$ を有しており、ステップa1においてその第1レジスタR1に初期値が設定され、すべての各セル $D1 \sim Dn$ には、初期値 $P1 \sim Pn$ がそれぞれ入力される。 $P1 \sim Pn$ は、論理「1」または論理「0」である。このステップa1では、処理回路5に備えられているカウンタ8の計数値 $N$ が0に設定される。このカウンタ8の値 $N$ は、今現在、第1レジスタR1を何ビットシフトしたかを表す。

【0013】第2レジスタR2は、第1レジスタR1のセル $D1 \sim Dn$ の数 $n$ 以上の数のセル $E1 \sim En$ を有していてもよい。

【0014】ステップa2では、第3レジスタR3を論理「0」にクリアする。この第3レジスタR3は複数 $s$ のセル $Q1 \sim Qs$ を有していてもよい。第1レジスタR1のストア内容は、その第1レジスタR1の内容を保持したままで、第2レジスタR2に転送される。ステップa3では、第2レジスタR2の最下位ビット $E1$ のストア内容を、第3レジスタR3の最下位のセル $Q1$ に転送し、このとき第2レジスタR2を1ビットだけ図1の右方にシフトする。

【0015】そこで次のステップa4では、シフトレジスタR2を、 $(f1 - 1)$ 回、すなわち $(f1 - 1)$ ビ

7

ット分だけ、右方にシフトし、その最終出力Df1を、第3レジスタR3に加算する。これによってその第3レジスタR3の最下位のセルQ1には、前記最終出力Df1とセルQ1に初めにストアされていた内容との排他的論理和が演算されることになり、その演算結果が最下位のセルQ1にストアされたことになる。

【0016】ステップa5では、kを1にセットし、次のステップa6では、第2レジスタR2を、 $(f(k+1) - f(k))$ のビット分だけ、右方にシフトし、その最終出力Dfkを、第3レジスタR3に加算する。こうして第3レジスタR3の最下位のセルQ1には、最終出力DfkとそのセルQ1の初めのストア内容との排他的論理和がストアされることになる。

【0017】次のステップa7では、 $(k+1)$ が予め定めた数iに達したかどうか判断され、そうでなければ、次のステップa8において値kを1だけインクリメントし、ステップa6に戻る。このようにして、第3レジスタR3の最下位のセルQ1には、その第3レジスタR3のセルQ1のストア内容を同一の参照符R3で表すとすると、数1で示される演算結果がストアされることになる。

【0018】

【数1】

$$R3 = D1 \oplus Df1 \oplus Df2 \oplus \dots \oplus Dfi$$

【0019】次のステップa9では、レジスタR1の最下位ビットD1の内容を、メモリ7にストアする。このメモリ7は、PN信号の1周期分（スクランブルの単位である1フレーム分）のビット数(M)をストアする容量を有し、たとえば1152バイトであってもよい。

【0020】ステップa10ではNをインクリメントし、ステップa11では、カウンタ8の計数値Nが、予め定める値M、すなわち前述の1152バイトに達したかどうか判断され、計数値Nが値M未満であるときには、ステップa13に移る。次のステップa13では、レジスタR1を1ビット分だけ右方にシフトし、その後ステップa14では、第3レジスタR3の最下位のセルQ1のストア内容を、第1レジスタR1の最上位セルDnにストアする。このステップa14から、元のステップa2に戻って、同様の演算を繰返す。

【0021】ステップa11においてカウンタ8の計数値Nが、予め定める値Mに等しいときには、ステップa12に移り、テレビジョン・ファクシミリ多重放送のファクシミリ信号の放送フォーマットになってインタリーブされたG3(CCTT勧告T. 4)の信号発生回路4からの信号の各フレーム毎に各ビットと、メモリ7のストア内容の各ビットとの排他的論理和が演算され、ライン9(図1参照)から導出され、この信号は、一旦メモリ10にストアされ、その後放送されてもよく、あるいはまたライン9からの信号をいわゆるリアルタイムで送信手段11によって放送するようにしてもよい。この

8

ような図1および図2に示される実施例は、受信回路においてもまた前述の図4のように、用いられてもよい。このとき信号発生回路4は、受信された信号を発生する。

【0022】メモリ10は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路14は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生手段であってもよい。

10 【0023】本発明の他の実施例として、第3レジスタR3は、単一のセルQ1だけを有するレジスタであってもよく、このときには、そのセルQ1のストア内容と、前記最終出力Dfkとの排他的論理和演算を行い、その演算結果が、同じセルQ1にストアされることになる。その他の動作は前述の実施例と同様である。

【0024】

20 【発明の効果】以上のように本発明によれば、複数のセルを有する第1レジスタR1と、同数のセルを有する第2レジスタR2と、少なくとも1つのセルを有する第3レジスタとメモリとを備え第3レジスタR3をクリアした後、第1レジスタR1を初期設定し、その内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットをR3に加え、第2レジスタR2のストア内容を、予め定める数 $(f(k+1) - f(k))$ のビット分だけ、一方向にシフトし、その最終出力Dfkを第3レジスタR3に加え、このような演算を $k=1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を、第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算するようにしたので、マイクロコンピュータなどのソフトウェアによってスクランブルの実現が可能となった。同一のPN信号を用いてスクランブルを行うときは、一度メモリにストアされた信号がそのまま使用できるので、図2のステップa1~a11およびa13~a14を省略することができる。また実際の回路を必要としないので経済的であり、またソフトウェア処理のため、いかなるハードウェア構成に対しても簡単かつ迅速に対応することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1に示される処理回路5の動作を説明するためのフローチャートである。

【図3】従来からの疑似乱数符号重畳方式(PN加算方式)による信号のスクランブルを行う構成を示す図である。

50 【図4】図3に示されるスクランブル信号の受信(デス

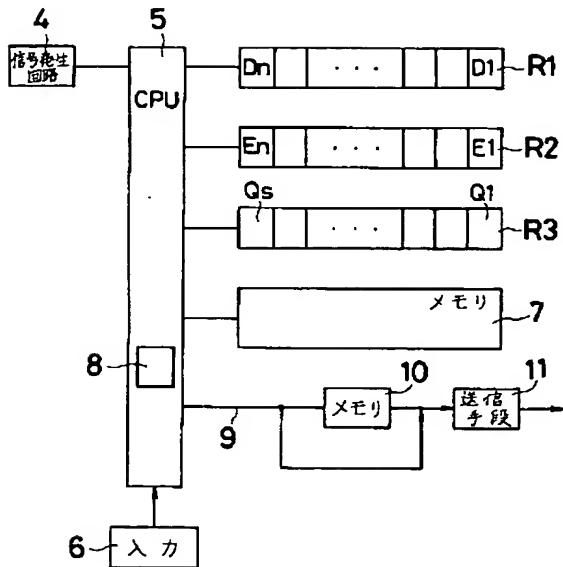
クランプ)を行うための構成を示すブロック図である。

【符号の説明】

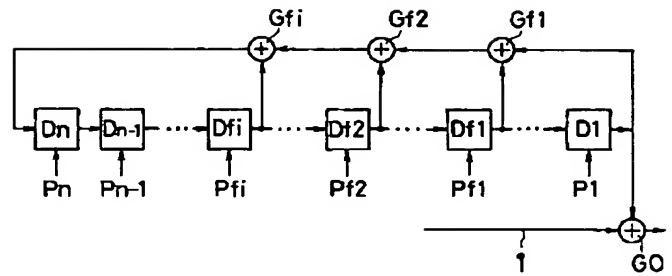
4 信号発生回路  
5 処理回路

6 入力手段  
7 メモリ  
8 カウンタ  
10 メモリ  
11 送信手段

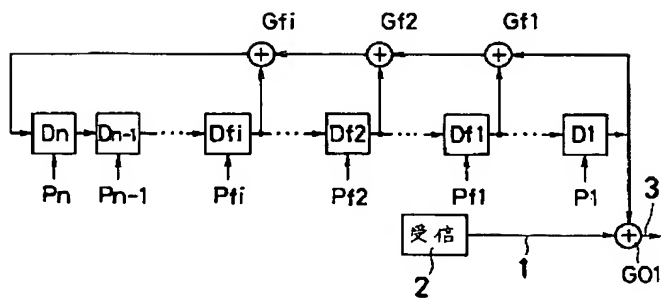
【図1】



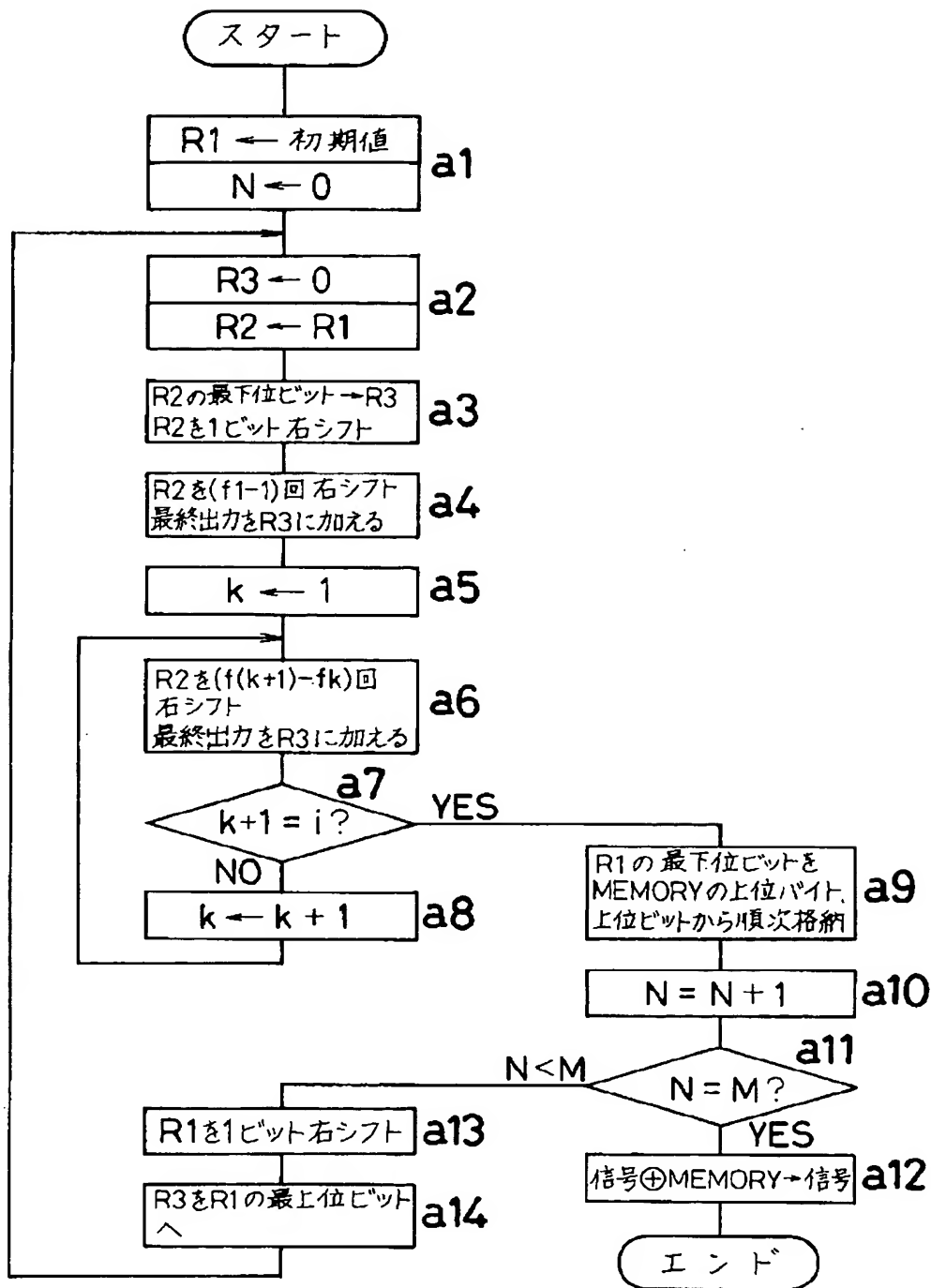
【図3】



【図4】



【図2】



【手続補正書】

【提出日】平成4年6月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】メモリ10は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路4は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生

手段であってもよい。

---

フロントページの続き

(51) Int. Cl. <sup>5</sup>

// H 0 4 N 7/167

識別記号

庁内整理番号

F I

技術表示箇所

8943-5C